

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-254914

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G06F 17/50

(21)Application number : 09-052847

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.03.1997

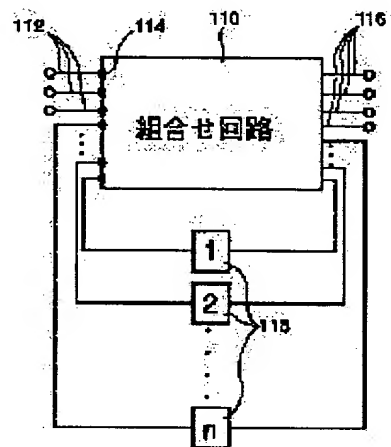
(72)Inventor : WADA KYOJI

(54) LOGIC SIMULATED RESULT ANALYZER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a logic simulated analyzer with which required storage capacity can be reduced and time for result analysis can be shortened.

SOLUTION: The value of external input signal line 112 to analytic object circuits 110-118 and only the output of memory cell 118 are preserved at a preservation point 114 and based on this preserved value, the operation of analytic object circuit is simulated again from designated time. The information of preservation point 114 is preserved not for each cycle of simulate but for each prescribed cycle or can be simulated again from the first preservation time retroactive from the designated time as well.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-254914

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁵

G 0 6 F 17/50

識別記号

F I

G 0 6 F 15/60

6 7 2 Z

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号

特願平9-52847

(22) 出願日

平成 9 年 (1997) 3 月 7 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 和田 恭司

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

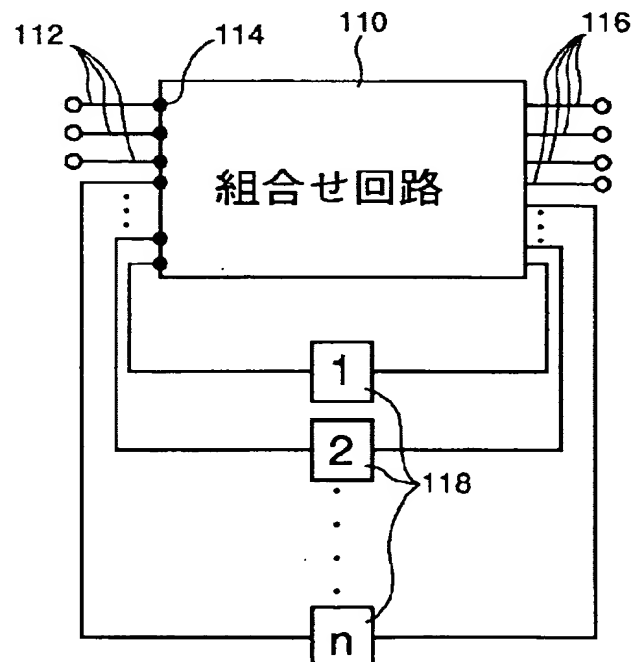
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 論理シミュレーション結果解析装置

(57) 【要約】

【課題】 必要な記憶容量を削減し、結果解析までの時間を短縮できる論理シミュレーション結果解析装置を実現する。

【解決手段】 解析対象回路 110 および 118 への外部入力信号線 112 の値および記憶素子 118 の出力のみを保存ポイント 114 で保存し、この保存値に基づいて指定時刻から解析対象回路の動作を再シミュレートする。保存ポイント 114 の情報は、シミュレートの各サイクルでなく、所定サイクルごとに保存するようにし、指定された時刻から逆上った最初の保存時刻から再シミュレートを行なうようにしてもよい。



【特許請求の範囲】

【請求項1】 解析対象回路の回路接続情報を保存するための回路接続情報保存手段と、

外部入力と、前記回路接続情報とに基づいて、前記解析対象回路の動作をシミュレートするためのシミュレート手段と、

前記シミュレート手段のシミュレーションの実行に伴って変化する、前記解析対象回路内部の記憶素子の出力と前記解析対象回路への外部入力の値とを、予め定める間隔で、かつシミュレート時間と関連させて記憶するための記憶手段と、

前記記憶手段の記憶内容に基づいて、任意の時刻から前記解析対象回路の再シミュレーションを実行する再シミュレート手段とを含む、論理シミュレーション結果解析装置。

【請求項2】 前記解析対象回路は、予め定める波形を有するクロック信号を時間的な基準として動作する仕様とされており、

前記クロック信号の仕様を特定するための情報を記憶するためのクロック信号仕様記憶手段をさらに含み、

前記シミュレート手段および前記再シミュレート手段は、それぞれシミュレーションの実行時に、前記クロック信号仕様記憶手段に記憶された情報に基づいてクロック信号に相当する信号を自動生成することにより前記解析対象回路の動作をシミュレートする、請求項1に記載の論理シミュレーション結果解析装置。

【請求項3】 前記解析対象回路は、シミュレーション期間内の予め定める期間内において固定値をとる信号を入力として用い、

前記論理シミュレーション結果解析装置はさらに、前記固定値をとる信号の波形を特定するための固定値信号特定情報を記憶するための手段を含み、

前記シミュレート手段および前記再シミュレート手段は、それぞれシミュレーションの実行時に、前記予め定める期間内に前記固定値をとる信号を自動生成することにより前記解析対象回路の動作をシミュレートする、請求項1または2に記載の論理シミュレーション結果解析装置。

【請求項4】 前記解析対象回路内のある信号線が指定されたことに応答して、前記回路接続情報に基づき、前記指定された信号線に対して影響を及ぼし得る信号線群からなるコーンを前記解析対象回路内において特定するための手段と、

前記再シミュレート手段が前記解析対象回路を再シミュレートする際に、前記コーン内部に存在する接続線上の信号の値を記憶するための手段をさらに含む、請求項1～3のいずれかに記載の論理シミュレーション結果解析装置。

【請求項5】 前記解析対象回路内に含まれるインバータゲートおよびバッファゲートを前記回路接続情報から

抽出し、当該ゲートの入出力信号線名およびその関係を特定する情報を保存するための手段と、

前記再シミュレート手段が前記解析対象回路を再シミュレートする際に、保存された前記ゲートの入出力信号線名およびその関係から前記解析対象回路内に含まれるインバータゲートおよびバッファゲートの出力信号線の値を自動生成するための手段をさらに含む、請求項1～4のいずれかに記載の論理シミュレーション結果解析装置。

【請求項6】 前記コーン内部の回路からコーン外部の回路への接続線上を伝播する信号がなくなるように、前記回路接続情報中の、前記コーンの境界上の信号線に関する情報を擬似的に変更するための手段をさらに含む、請求項4または5に記載の論理シミュレーション結果解析装置。

【請求項7】 前記解析対象回路内部のある信号線が操作者により指定されたことに応答して、当該信号線の値の発生原因である信号線を探索するための手段をさらに含む、請求項1～6のいずれかに記載の論理シミュレーション結果解析装置。

【請求項8】 前記解析対象回路の信号線のうち予め選択された信号線中に不定値を割当てられたものがあるかを調べ、不定値を割当てられた信号線が存在することが検出された際には前記探索手段による探索の実行を中止させるための手段をさらに含む、請求項7に記載の論理シミュレーション結果解析装置。

【請求項9】 前記指定された信号線の値に対して特定の影響を与えたと判断される信号線および前記探索の終了時に到達した信号線のいずれかから前記指定された信号線までのパスをグラフィカルに表示するための手段をさらに含む、請求項7または8に記載の論理シミュレーション結果解析装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、論理回路における論理シミュレーション結果解析装置に関し、特に、集積回路等の論理回路の論理シミュレーション結果データの保存方法および信号線の値の発生原因発見方法が改善された論理シミュレーション結果解析装置に関する。

【0002】

【従来の技術】論理回路の設計結果を解析するためには、論理回路のシミュレーションを行なうことが不可欠である。図17に従来のシミュレーション結果解析の作業フローチャート、図18に、所望でない結果が得られた場合の原因追跡の詳細な作業フローチャートを、それぞれ示す。

【0003】図17および図18を参照して、従来のシミュレーション結果解析は次のようにして行なわれる。特に図17を参照して、回路情報210を参照してシミュレーション212を行なう。続いてその結果が期待ど

おりものかどうかについて判断し(216)、期待した通りの結果が得られた場合にはシミュレーションは終了する。期待しない値またはイベントが発生した場合には、その発生原因を究明・解析するために、まず解析すべき信号線の特定制を行なう(218)。この後、波形データなどが記録されたシミュレーション結果データ214と、回路図およびネットリストなどを含む回路接続情報210とを照らし合わせながら発生原因の追跡(220)を行なう。

【0004】原因追跡作業220の詳細は次のようになっている。特に図18を参照して、ステップ218で特定された解析対象信号線を出力とする素子の入力信号線の探索(230)を回路接続情報210を参照して行なう。シミュレーション結果214から当該入力信号線の値を呼出し、入力値がすべて正当かどうかについて判定する(232)。入力値がすべて正当なものであれば、当該素子が発生原因となるのでここで原因追跡は終了する。1つでも不当な入力信号が存在すれば、その入力信号線を次の解析対象信号とし(234)、図18に示す入力信号線の探索以下の処理を繰返す。

【0005】この場合、原因追跡に必要なシミュレーション結果データは図17のシミュレーション処理(212)中に生成され、対象回路のすべての信号線における、そこに発生するすべてのイベントまたは値の情報を含んでいる。

【0006】

【発明が解決しようとする課題】このように従来の論理シミュレーション結果解析処理では、すべてのシミュレーション時刻における、対象回路のすべての内部信号線に関するデータを保存する。そのため、対象回路規模が大きい場合や、シミュレーションに要するテストパターンのベクタ数が長い場合には、保存しなければならないデータ量が膨大になる。そのため必要とされる記憶装置の容量が大きくなるだけでなく、記憶装置にデータを書込むための時間が多く必要とされ、その結果シミュレーション時間が長くなるという問題がある。さらに、データの記憶装置からの読出にも長時間が必要とされるので、シミュレーション結果の解析時間も長くなるという問題がある。さらに、図18に示される処理230での入力信号線の探索は、回路接続情報210から操作者が手操作で行なっている。また処理232における、入力信号線の値の呼出しもシミュレーション結果214から操作者が行なう必要があった。そのため特に対象回路規模が大きくなると操作者が行なうべき作業が増大し、期待しない結果の発生原因の究明に多くの時間を費やす必要があるという問題点があった。

【0007】本発明はこうした問題点を鑑みてなされたものであって、請求項1～6に記載の発明の目的は、必要な記憶容量を削減することができ、それによってシミュレーション時間を短縮することができる論理シミュ

レーション結果解析装置を提供することである。

【0008】請求項7～9に記載の発明の目的は、請求項1～6に記載の発明の目的に加えてさらに、論理シミュレーション結果の解析に要する時間を短縮することができる論理シミュレーション結果解析装置を提供することである。

【0009】

【課題を解決するための手段】請求項1に記載の発明に係る論理シミュレーション結果解析装置は、解析対象回路の回路接続情報を保存するための回路接続情報保存手段と、外部入力と回路接続情報とに基づき解析対象回路の動作をシミュレートするためのシミュレート手段と、シミュレート手段によるシミュレーションの実行に伴って変化する、解析対象回路内部の記憶素子の出力と解析対象回路への外部入力の値とを、予め定める間隔で、かつシミュレート時間と関連させて記憶するための記憶手段と、記憶手段の記憶内容に基づいて、任意の時刻から前記解析対象回路の再シミュレーションを実行するための再シミュレート手段とを含んでいる。

【0010】記憶手段に、シミュレーション結果のうち、解析対象回路内部の記憶素子の出力と解析対象回路への外部入力の値とを記憶させる。これらの値は、予め定める間隔で、かつシミュレート時間と関連させて記憶させる。そのため任意の時刻から解析対象回路の再シミュレーションを行なうことができる。記憶手段に記憶されるデータの間隔が、シミュレート手段によるシミュレーションの間隔よりも大きくても、その間のシミュレーション結果を再現することができる。記憶手段として必要な記憶容量が従来のものと比較して少なくてもよい。書込に要する時間も短縮されるので、シミュレーション時間を短縮することができる。

【0011】請求項2に記載の発明に係る論理シミュレーション結果解析装置は、請求項1に記載の発明の構成に加えて、解析対象回路が、予め定める波形を有するクロック信号を時間的な基準として動作する仕様とされており、このクロック信号の仕様を特定するための情報を記憶するためのクロック信号仕様記憶手段をさらに含んでいる。シミュレート手段および再シミュレート手段は、シミュレーションの実行時に、クロック信号仕様記憶手段に記憶された情報に基づいてクロック信号に相当する信号を生成することにより解析対象回路の動作をシミュレートする。

【0012】クロック信号の仕様が予め特定されているので、シミュレーション時にはこのクロック信号を自動的に生成することができる。シミュレーション時のクロック信号の波形を記憶しておく必要はない。そのため記憶装置の使用量をさらに削減することができ、シミュレーション時間もさらに短縮することができる。なお再シミュレーション時のクロック信号の波形の記憶については操作者が操作できる。

【0013】請求項3に記載の発明に係る論理シミュレーション結果解析装置は、請求項1または2に記載の発明の構成に加えて、解析対象回路は、シミュレーション期間内の予め定める期間内において固定値をとる信号を入力として持つ。論理シミュレーション結果解析装置はさらに、固定値をとる信号の波形を特定するための固定値信号特定情報を記憶するための手段を含む。シミュレート手段および再シミュレート手段は、シミュレーションの実行時に、予め定める期間内に固定値をとる信号を自動生成することにより、解析対象回路の動作をシミュレートする。

【0014】解析対象回路が、固定値をとる信号を入力として持っている場合、この固定値をとる信号の波形を特定するための情報を記憶しておく。そしてシミュレート時および再シミュレート時に、この固定値信号特定情報に基づいて固定値を自動的に生成してシミュレーションを実行する。シミュレート時に、この固定値をとる信号の波形を記憶しておかなくても再シミュレート時にその値を自動的に生成することができるので、シミュレーション結果のデータを保存しておくべき記憶容量をさらに削減することができる。

【0015】請求項4に記載の発明に係る論理シミュレーション結果解析装置は、請求項1～3のいずれかに記載の発明の構成に加えて、解析対象回路内のある信号線が指定されたことに応答して、回路接続情報に基づき、指定された信号線に対して影響を及ぼし得る信号線群からなるコーンを解析対象回路内において特定するための手段と、再シミュレート手段が解析対象回路を再シミュレートする際に、コーン内部に存在する接続線上の信号の値を記憶するための手段をさらに含む。

【0016】再シミュレーションを行なう際に、解析対象回路内の信号線の値を保存する必要があるが、その保存対象を、コーン内部に存在する接続線上の信号のみに限定する。コーン外に存在する接続線上の信号は、解析対象回路内の、指定された信号線上の信号には影響を与えないので、記憶しておく必要がない。これにより必要とされる記憶容量をさらに削減することができ、また再シミュレーションの実行時間も短縮することができる。

【0017】請求項5に記載の発明に係る論理シミュレーション結果解析装置は、請求項1～4のいずれかに記載の装置であって、解析対象回路内に含まれるインバータゲートおよびバッファゲートを回路接続情報から抽出し、当該ゲートの入出力信号線名およびその関係を特定する情報を保存するための手段と、再シミュレート手段が解析対象回路の動作を再シミュレートする際に、保存されたゲートの入出力信号線名およびその関係から解析対象回路内に含まれるインバータゲートおよびバッファゲートの出力信号線の値を自動生成するための手段をさらに含む。

【0018】解析対象回路内に含まれるインバータゲ

ートおよびバッファゲートの出力信号線の値は、再シミュレーションをする際には、入力信号線の値と、保存されているゲートの入出力信号線名およびその関係を特定する情報から自動生成することができる。したがって、シミュレーションの実行時に、インバータゲートおよびバッファゲートの出力信号線の値を保存しておく必要がない。ゲートの入出力信号線名およびその関係を特定する情報を保存するための記憶容量の分だけ必要とされる記憶容量が増大するが、それらのシミュレート時の出力信号線の値を覚えておく必要がなくなるので、必要とされる記憶容量の全体量が削減でき、シミュレーションの実行時間もさらに短縮することができる。請求項6に記載の発明に係る論理シミュレーション結果解析装置は、請求項4または5に記載の発明の構成に加えて、コーン内部の回路からコーン外部の回路への接続線上を伝播する信号がなくなるように、回路接続情報中の、コーンの境界上の信号線に関する情報を擬似的に変更するための手段をさらに含む。

【0019】指定された信号線に影響を与えるコーンの外部に存在する回路は、コーン内部からイベントが伝播することがなくなる。コーン外部の回路の動作を再シミュレートする必要がなくなるので、再シミュレーションに要する時間を削減することができる。同じくコーン外部の回路のシミュレーション結果を保存する必要もないので、解析時の記憶装置の使用量をさらに削減することができ、またシミュレーション結果の解析に要する時間もさらに短縮することができる。

【0020】請求項7に記載の発明に係る論理シミュレーション結果解析装置は、請求項1～6のいずれかに記載の発明の構成に加えて、解析対象回路内部のある信号線が操作者により指定されたことに応答して、当該信号線の値の発生原因である信号線を探索するための手段をさらに含む。

【0021】解析対象信号線を特定すると、当該信号線の値の発生原因である信号線を自動的にまたは対話的に探索することができるので、シミュレーション結果の解析に要する時間をさらに短縮することができる。

【0022】請求項8に記載の発明に係る論理シミュレーション結果解析装置は、請求項7に記載の発明の構成に加えて、探索するための手段が、解析対象の回路の信号線のうちの予め選択された信号線中に不定値を割当てられたものがあるか否かを調べ、不定値を割当てられた信号線が存在することが検出されたことに応答して、探索するための手段による探索の実行を中止させるための手段をさらに含んでいる。予め選択された信号線としては例えば、外部入力、記憶素子の制御信号（クロック、セット、リセット信号）、駆動されていない内部信号線等がある。

【0023】解析対象回路の信号線中に不定値を割当てられたものがあると、回路が期待どおりに動作しない。

そうしたものは、解析対象信号線の値の発生原因である信号線を探索するための処理を行なうまでもなく特定することができる。そのため発生原因の信号線を探索する処理を行なう必要がなく、解析時間を短縮することができる。

【0024】請求項9に記載の発明に係る論理シミュレーション結果解析装置は、請求項7または8に記載の発明の構成に加えて、指定された信号線の値に対して特定の影響を与えたと判断される信号線、または探索の終了時に到達した信号線から、指定された信号線までのパスをグラフィカルに表示するための手段をさらに含む。

【0025】信号線の値の発生原因である信号線、または探索の終了時に到達した信号線から、指定された信号線までのパスをグラフィカルに表示することにより、そのパスを視覚的に確認することができる。そのため原因信号線探索後の解析時間をさらに短縮することができる。

【0026】

【発明の実施の形態】図1に、本願発明の論理シミュレーション結果解析装置を実現するための装置であるコンピュータのブロック図を示す。図1を参照して、このコンピュータ（論理シミュレーション結果解析装置）30は、中央処理装置（CPU）32と、主記憶装置34と、固定ディスクなどからなる補助記憶装置38と、キーボードおよびマウスなどからなる入力装置36と、ディスプレイ、プリンタなどからなる出力装置40とを含んでいる。

【0027】図1に示されるコンピュータ30自体の動作は一般的なコンピュータのものと同様であるので、その動作の概略はここでは繰返さない。本願発明に係る論理シミュレーション結果解析装置は、補助記憶装置38に特定のプログラムを記憶し、それを主記憶装置30に読出して中央処理装置32が実行することにより実現される。

【0028】本願発明では、回路接続情報は補助記憶装置38に記憶される。シミュレーション時刻と、そのシミュレーション時刻における、解析対象回路への外部入力信号線の値および解析対象回路内の記憶素子の出力信号線の値は、主記憶装置34に確保される。シミュレーション結果において解析すべき信号線と、その時刻とは入力装置36から操作者によって指定される。その他、以下の実施の形態で「ファイル」として述べるものは補助記憶装置38に確保される。再シミュレーション時に保存される、解析対象回路の組合せ回路のうち、解析対象信号線の値に影響を与える回路の集まりを以下の説明では「コーン」と呼ぶが、このコーン内の信号線の値は主記憶装置34内に記憶される。またコーン内のインバータゲートおよびバッファゲートに関してその入出力線名とそれらの関係に関する情報が補助記憶装置38に保存される。

【0029】その他、図1に示される各構成要素が実施の形態でどのような役割を果たすか、については以下の説明で随時述べる。

【0030】図2および図3に、図1に示されるコンピュータ30によって実行されることにより論理シミュレーション結果解析装置を実現するためのプログラムのフローチャートを示す。このフローチャートに従った処理を実現するソフトウェアは補助記憶装置38に記憶されており、前述したように主記憶装置34に読出されて中央処理装置32により実行される。

【0031】このフローチャートを説明するに先立って、解析対象回路について説明し、シミュレーションがどのように行なわれるかについて図4を参照して説明する。

【0032】図4を参照して、シミュレートされる回路は組合せ回路110と記憶素子118とを含んでいる。組合せ回路110は、複数の外部入力信号線112と複数の外部出力信号線116とに接続されている。さらに組合せ回路110は、記憶素子118への出力信号線と記憶素子118からの入力信号線とも接続されている。シミュレーションでは、組合せ回路110への外部入力信号線112の値と記憶素子118からの出力との値のみが保存される。その保存タイミングについては後述する。図4において、保存される値の位置は保存ポイント114として黒丸で示されている。

【0033】再び図2を参照して、まずステップ50（以下「ステップ」は随時省略する。）において、組合せ回路110に入力される信号のうち、クロック信号、固定値信号または1イベント信号があるか否かについて判定する。以下これらの信号がどのようなものかについて図5を参照して説明する。

【0034】図5を参照して、組合せ回路110には、この組合せ回路110の動作タイミングを規定するためのクロック信号が与えられる場合が一般的である。このクロック信号がクロック信号線124から与えられるものとする。また、「固定値信号」とは、固定値が入力されることがわかっている信号のことをいう。たとえば解析対象回路には2つの動作モードがあり、そのモードを指定するための信号として「1」または「0」のいずれかが入力されることがわかっており、しかも動作中にその値が変化しない場合がある。こうした信号を固定値信号と呼ぶ。固定値信号は信号線122から組合せ回路110に与えられるものとする。

【0035】「1イベント信号」とは、シミュレーション中のイベント変化が1回しか発生しない信号をいう。たとえばリセット信号などがこれに相当する。この1イベント信号は信号線120から組合せ回路110に与えられるものとする。

【0036】なお図5では、クロック信号、固定値信号、1イベント信号が各々1個ずつしかない場合を示し

であるが、本発明はこれには限定されない。これら信号のうち1つのみ、また2つのみがあってもよいし、各々が複数個あってもよい。

【0037】図2に示すステップ50の判断は、オペレータからこのような信号があることが指定されているかを調べることににより行なわれる。こうした信号が存在する場合には、信号名、信号値などを指定するファイル名をオペレータから受ける(52)。そうしたファイルの形式について図6を参照して説明する。

【0038】図6(A)にクロック用コントロールファイル130の記述例を、図6(B)に固定値用コントロールファイル132の記述例を、図6(C)に1イベント信号用コントロールファイル134の記述例を、それぞれ示す。クロック用コントロールファイル130には、クロックとなる入力のピン名(CLK)と、クロック周期(50)と、クロックの初期値(0)とをそれぞれの項目名に続けて指定する。また固定値用コントロールファイル132としても同様に、固定値が入力されるピン名(MODE)と、その固定値(1)とをそれぞれの項目名とともに記述する。1イベント信号用コントロールファイル134についてもそのピン名(RESET)と、その1イベント信号の初期値(1)と、イベント変化の時刻(100)とをそれぞれの項目名とともに記述する。こうして、クロック信号、固定値信号、1イベント信号の仕様が記述される。

【0039】クロック信号、固定値信号、1イベント信号は、他の入力信号の値に関係なく、図6に示されるような仕様情報があればシミュレーション中に自動生成を行なうことができる。同じく再シミュレーションのときにも同じデータからシミュレーション時と全く同じ信号を生成することができる。したがってこれらの信号については、シミュレーションの実行中にはその値等を保存しておく必要がない。クロック信号については再シミュレーション実行時に保存が必要となることがあるがその記憶は操作者が管理できる。1イベント信号については再シミュレーション時には保存される。固定値信号については再シミュレーション時にも保存の必要はない。結局、これらの信号については少なくとも最初のシミュレーションの結果データを保存しておく必要がないので、従来と比較してシミュレーションのために必要な記憶容量を削減することができる。

【0040】再び図2を参照して、ステップ50または52の後、回路接続情報から、外部入力および記憶素子の出力を抽出する(54)。この場合の外部入力とは図4に示される外部入力信号線112の値をいう。以下に説明するシミュレーションの実行中には、ここで抽出された外部入力信号線の値と、記憶素子の出力信号線の値と、そのときのシミュレーション時刻とのみを保存する。すなわち図4に示される保存ポイント114の値のみを保存する。このように、組合せ回路110内部のす

べての値を保存しなくとも、後述するように再シミュレーション時には組合せ回路110内の各信号線の値を再現することができる。そのため解析に不必要なデータを保存する必要がなくなり、記憶装置の使用量を削減することができる。

【0041】図2を参照して、ステップ56で保存ポイント114(図4参照)での値の保存方法についてオペレータからの指定を受ける。この保存方法として本実施の形態では2つの方法を想定している。図7(A)に、例としてある保存ポイントでの波形の例を示す。図7(D)にはシミュレーション時刻を示す。図7(B)には、シミュレーション単位時間ごとに保存ポイントの値をすべて保存する方法(保存方法1)を示す。図7(C)には、シミュレーション単位時間にして4単位時間ごとに保存ポイントの値を保存する方法(保存方法2)を示す。保存方法1では、16シミュレーション単位時間ではデータ保存量は16個となるが、保存方法2では保存量は4個でよい。

【0042】後述するように再シミュレーションをするときには、再シミュレーション開始時刻が操作者により指定される。保存方法1では、すべてのシミュレーション時刻についてそのときの保存ポイントでの信号の値を記憶しているから、直ちに再シミュレーションを行なうことができる。一方保存方法2では、指定された再シミュレーション開始時刻の値を保存していればよいが、そうでないときには再シミュレーションを次のように行なう。すなわち、再シミュレーション開始時刻として指定された時刻から逆上って最も近い保存時刻を探し、このときの保存値から再シミュレーションを開始する。すると、結果として操作者から指定された再シミュレーション開始時刻での当該保存ポイントでの信号値も再現することができる。再シミュレーションを開始するための時間は多少長くなるが、保存すべきデータ量は削減することができる。

【0043】再び図2を参照して、保存方法として図7(C)に示されるように保存方法2が指定されたときには、操作者により保存間隔の指定を受ける(58)。

【0044】続いてシミュレーションを開始する(60)。このとき、保存方法が図7に示される保存方法1か保存方法2かによって、ステップ64または66でそれぞれ所定の保存方法に従って保存ポイントでの信号値を保存する。すなわち保存方法1が指定されたときには、外部入力および記憶素子の出力のみを、シミュレーション単位時間ごとに保存する(64)。また保存方法2が指定されたときには、外部入力および記憶素子の出力のみを、指定時間間隔ごとに保存する(66)。こうしてシミュレーション終了時刻が到達すると(68)、シミュレーションプロセスは終了せず待ち状態となる(70)。

【0045】次に、シミュレーション結果を解析するた

めに、解析すべき信号線と解析すべき時刻とをオペレータが指定する(72)。これに応じて、図3を参照して、保存方法1または保存方法2のいずれが指定されたかに応じてステップ76または78の処理が行われる。すなわち保存方法1が指定されているときには、論理シミュレーション結果解析装置の時刻をオペレータにより指定された時刻に設定する(76)。保存方法2が指定されたときには、シミュレータの時刻を、オペレータにより指定された時刻から逆上った最初の保存時刻に設定する(78)。

【0046】続いて、このようにして設定された時刻における外部入力信号線の値と記憶素子の出力信号線の値とを、図1に示す主記憶装置34に保存されているシミュレーション結果の保存データから呼出し(80)、呼出した値を当該信号線に割当て(82)。以下指定された解析開始時刻から再シミュレーションを行なう(90)が、本実施の形態では再シミュレーションに先立ってステップ84~88により示される処理を行なう点にも特徴がある。以下これらの処理について説明する。

【0047】再シミュレーションを実行するに先立って、解析対象信号線が指定されている(72)。解析すべき信号線は、図4に示す組合せ回路110の内部または出力の信号線である。この解析すべき信号線が指定されると、図8に示すように、当該信号線140または144に対して影響を及ぼし得る信号線群からなるコーン142または146を自動的に抽出する(84)。これは、信号線140または144に対して影響を及ぼし得る信号線群の結果のみを再シミュレートすればこれらの信号線の信号値の発生原因を知ることができ、コーン外部の信号線についてはシミュレートをする必要がないためである。

【0048】指定信号線が複数存在する場合には、その複数の指定信号線の各々に対してコーンを自動抽出する。たとえば図8を参照して、信号線140および信号線144を解析すべき信号線として指定した場合を想定する。信号線140に対してはコーン142を、信号線144に対してはコーン146をそれぞれ抽出する。この場合、本実施の形態では、最初に、組合せ回路110の出力により近い信号線である信号線140に対するコーン142を抽出し、その後信号線144に対するコーン146を抽出する。両方のコーン142および146に含まれる信号線150が存在した場合、コーン142を抽出するときに信号線150に対してコーン142の属性を付帯させる。そしてコーン146を抽出するときに、この属性によって信号線150をシミュレート対象としてさらに追加することを拒絶する。したがって複数のコーン142および146の重複部分148に属する1つの信号線の値を再シミュレート時に重複して保存することはない。

【0049】以下に述べるように再シミュレート時には

コーン内部の再シミュレーション結果を保存するだけで原因信号線の特定を行なうことができるので、論理シミュレーション結果解析時の記憶装置の使用量を削減することができる。またコーン外部の回路のシミュレーションを行なう必要がないので、再シミュレーションの実行時間を短縮することができる。

【0050】再び図3を参照して、ステップ84で抽出されたコーン内のインバータ、バッファゲートを抽出する。そして図9に示されるように、各ゲートの種類と、その入出力信号線名とをインバータ・バッファゲート抽出情報160として図1に示す補助記憶装置38に保存しておく。インバータ・バッファゲートについては、シミュレーションの実行時にその出力信号線の値を保存しなくとも、入力信号線の値とゲート種類とから自動的に出力信号線の値を決定することができる。したがってインバータゲートおよびバッファゲートのための記憶容量を削減しながらシミュレーション結果の解析を行なうことができる。

【0051】続いてステップ88で、図8に示されるコーン142のような、ステップ84で抽出されたコーンの情報に基づき、コーンの境界となる信号線を抽出し、コーンとそれ以外の部分とに、解析対象回路を擬似的に切り離す(88)。その切離し方法は次の通りである。

【0052】図10に示されるように、たとえばコーン142の内部の2つのNANDゲートXおよびYが、コーン142の外部にNANDゲートZがそれぞれ存在するものとする。ゲートXは2つの入力信号線N1およびN2ならびに出力信号線Aを有する。ゲートYは信号線Aおよび信号線N4を入力として、信号線N6を出力信号線としてそれぞれ持つ。ゲートZは信号線Aおよび信号線N3を入力として、信号線N5を出力としてそれぞれ持つ。この場合、信号線Aはコーン142の内部に属し、かつコーン142の外部にも接続されている。こうした場合、図11に示されているように、コーン外部にあるNANDゲートZの一方の入力信号線Aの名前を

“A_dummy”に変更する。これによりゲートZの入力信号線である信号線AとゲートXの出力でありゲートYの入力である入力信号線Aとを別の信号線として取扱うことができる。この処理が、回路接続情報でどのような処理に対応するかを図12に示す。図12(A)は、図10に示す回路接続に対応した回路接続情報を、図12(B)は図11に示した回路接続に対応した回路接続情報をそれぞれ既存の記法に従って記述したネットリストである。これによって、信号線Aを介してコーン142の外部にイベントが伝播することがなくなる。コーン外部のシミュレーションを行なう必要がなくなるので、以下に述べる再シミュレーションに要する時間を削減することができる。

【0053】なお、ステップ86および88に述べた処理は互いに独立であって、いずれか一方のみを行なうこ

ともできる。またさらに、ステップ84～88の処理は処理の効率化上で効果があるが、このようなコーンを抽出した処理を行わなくても本願発明によってシミュレーション結果の記憶のために必要とされる記憶容量が削減され、その結果シミュレート時間も短縮されることは明らかである。

【0054】続いてステップ72(図2)で指定された解析開始時刻からの再シミュレーションを実行する(90)。このとき、図4を参照して説明したように保存ポイント114のデータのみ読出すことにより再シミュレーションを行なうことができるので、再シミュレーションの処理を短縮することができる。また図3のステップ84～88において説明した処理に従い、コーン内部の回路の動作のみをシミュレートすることで、再シミュレーションの時間をさらに削減することができる。またこのとき、コーン内のインバータ・バッファゲートについてその入力から出力信号値を自動的に生成しているので、インバータ・バッファゲートの値を保存しておく必要もない(92)。

【0055】こうして再シミュレーションした結果を用いて解析対象信号線の値の発生原因の探索を行なう(96)が、それに先立って以下に述べるような探索前処理(94)を行なう。ただし、この探索前処理をしなくとも良い。

【0056】図13に図3の探索前処理94の詳細なフローチャートを示す。この処理は、解析すべき信号線の値の発生原因を、解析対象信号線から入力側への方後追跡手法を用いた探索に先立って発見するための処理である。こうすることにより解析時間を短縮することができる。まず、外部入力に不定値が入力されていないか否かについて調べる(170)。不定値が入力されている外部入力が存在すればこの外部入力の原因であるとして操作者に知らせ、原因信号線の探索は中止する。すべての外部入力信号線に確定値が入力されている場合、次に記憶素子のクロックまたは制御入力(リセット入力など)に不定値が入力されていないかどうかについて調べる(172)。不定値が入力されている記憶素子が存在すればその記憶素子が原因であるとして操作者に知らせ、探索を中止する。

【0057】すべての記憶素子のクロックおよび制御入力に確定値が入力されている場合、次に、駆動されていない内部信号線が存在しないかどうかについて調べる(174)。駆動されていない内部信号線が存在すればその信号線に不定値が割当てられていないかどうかを調べ、不定値が割当てられていればその信号線が原因であるとして操作者に知らせ、原因信号線の探索は中止される。駆動されていない内部信号線が存在しないか、存在したとしてもすべての信号線に確定値が割当てられている場合には、解析対象信号線を特定し(176)、図3に示すステップ96の探索処理を開始する。

【0058】こうして、ステップ94の探索前処理を行なうことにより、解析すべき信号線の値の発生原因である原因信号線を自動探索する前に発見することが可能である。そのため解析時間を短縮することができる。

【0059】再び図3を参照して、ステップ96で、解析対象信号線の値の発生原因の探索を行なう。その結果原因が発見されればステップ102に進み、該当パスを図1に示す出力装置40(表示装置)に表示して(102)、論理シミュレーション結果の解析処理を終了する。一方ステップ100で発生原因として記憶素子の出力に到達した場合、操作者のコマンド入力またはメニュー選択によってシミュレーション時刻を1周期戻し、その時刻における外部入力および記憶素子の出力信号値を当該信号線に割当て再シミュレーションを行なう(98)。このときの解析対象信号線の定め方につき図14および図15を参照して説明する。

【0060】図14を参照して、信号線180の値の発生原因の探索処理の結果、記憶素子188の出力についての保存ポイント182に到達したものとする。記憶素子188の入力は組合せ回路110の出力190に接続されている。この場合、図15に示されるように、保存ポイント182から信号線192、記憶素子188、および記憶素子188への入力信号線194を逆にたどり組合せ回路110の出力信号線190を得る。ステップ98では、この出力信号線190を解析対象信号線として再びその値の発生原因の探索処理を行なう。探索の結果、たとえば図15に示されるように入力信号線196が発生原因として探索されれば解析処理は終了する。一方この処理でも記憶素子からの入力に到達した場合には上述の処理と同じ処理を繰返してさらに前の周期に戻り再シミュレーションを実行する。

【0061】このようにして探索が終了または中断すると、図14または図15に示されるように解析対象回路図を表示し、その中に原因信号線または最終探索信号線から指定信号線までのパスをハイライト表示する(102)。図14および図15に示されるように複数のサイクルにまたがる場合には、操作者のコマンド入力またはメニュー選択によって、サイクルを移動させて当該パスを表示させる。こうして、原因信号線から指定信号線までのパスをハイライト表示することによって、原因信号線を探索した後の解析時間を従来よりも短縮することができる。

【0062】以上のようにこの実施の形態1の装置によれば、解析対象となる回路への外部入力信号線の値と、記憶素子の出力の値とを保存する。回路内部のすべての信号線のシミュレーション結果を保存する必要がないので、必要な記憶容量を削減できる。またシミュレーション結果の保存に要する時間も短縮することができ、シミュレーション自体の時間を短縮することができる。さらに保存サイクルとして、シミュレーションの間の動作サ

イクルのすべてについてではなく、予め定められた周期で保存を行なうことができる。再シミュレーション時には、指定された開始時刻から逆上って最も近い保存時刻からシミュレーションを再実行すれば、指定された開始時刻からのシミュレーションを行なうことが可能である。シミュレーション結果を保存するための容量がさらに削減でき、またシミュレート処理に要する時間もさらに短縮できる。さらに、再シミュレート時に、解析対象信号線に対するコーンを抽出しその内部の回路についてのみシミュレーションを行なう。コーン外部の回路のシミュレーションをする必要はないので、必要となる記憶容量が削減できるとともに、再シミュレーションに要する時間を短縮することができる。コーン内のインバータ・バッファゲートを抽出し、それらの入力から出力を自動生成するようにしても同様の効果を得ることができる。

【0063】また、解析対象信号線からその発生原因の探索を行なうに先立って、不定値が入力されている信号線がないかどうかを判定し、発見された場合にはその信号線を発生原因としてオペレータに知らせる。以後の発生原因の信号線の探索処理を行なう必要がなく、解析時間を短縮することができる。また、発生原因を見つけた場合には、発生原因箇所から解析対象信号線までのパスを表示させる。そのため原因信号線探索後の解析時間を短縮することができる。

【0064】なお、上述の実施の形態では、図2のステップ52で指定されるクロック用コントロールファイル、固定値用コントロールファイル、1イベント信号用コントロールファイルを、図6に示されるように別々のファイル130、132および134として確保した。しかし本発明はこのように別々のファイルにコントロール情報を保存するものには限定されない。たとえば図16に示されるように、各情報がコントロールする信号を特定するためのキーワード(“CLOCK”, “CONST”, “EVENT”)とともに必要な情報を記憶した単一のファイル200として確保することもできる。図16に示されるように単一のファイル200を使用すると、実施の形態1として述べたものと同様の効果が得られるとともに、作成すべきファイル数を削減することができるという効果がある。

【0065】

【発明の効果】以上のように請求項1～3に記載の発明によれば、シミュレーションを行なうに際して必要とされる記憶領域の容量を削減することができる。それによりシミュレーション時間を短縮することが可能である。

【0066】請求項4～6に記載の発明によれば、請求項1～3に記載の発明の効果に加えて、再シミュレーションする際に必要とされる記憶領域の容量を削減できるとともに、再シミュレーション対象となる回路を解析対象回路の一部のコーン内に限定することがで

きる。そのため再シミュレーション時間を短縮することができる。

【0067】請求項7～9に記載の発明によれば、請求項1～6に記載の発明の効果に加え、従来のようにオペレータが手作業により原因信号線を探索していた場合と比較してはるかに解析時間を短縮することができる。

【図面の簡単な説明】

【図1】 本願発明の論理シミュレーション結果解析装置のブロック図である。

【図2】 本願発明の論理シミュレーション結果解析装置をコンピュータ上で実現するためのプログラム処理の前半部のフローチャートである。

【図3】 本願発明に係る論理シミュレーション結果解析装置をコンピュータ上で実現するためのプログラム処理の後半部のフローチャートである。

【図4】 解析対象回路の一例を示すブロック図である。

【図5】 組合せ回路への入力信号の例を模式的に示す図である。

【図6】 クロック信号、固定値信号、1イベント信号のためのコントロールファイルを示す図である。

【図7】 本願発明におけるシミュレーション結果の保存方法を模式的に示す図である。

【図8】 本願発明における再シミュレーション時のコーンの概念を示す図である。

【図9】 インバータ・バッファゲート抽出情報を模式的に示す図である。

【図10】 コーン内外の回路を模式的に切断する方法を示す回路図である。

【図11】 コーン内外の回路を模式的に切断した後の回路図である。

【図12】 コーン内外の回路を模式的に切断する前後における回路接続情報を示す図である。

【図13】 原因信号線の探索処理に先立って行なわれる前処理のフローチャートである。

【図14】 原因信号線の探索およびパスの表示を模式的に示す図である。

【図15】 原因信号線の探索およびパスの表示を模式的に示す図である。

【図16】 単一のコントロールファイルを模式的に示す図である。

【図17】 従来の論理シミュレーション結果解析処理のフローチャートである。

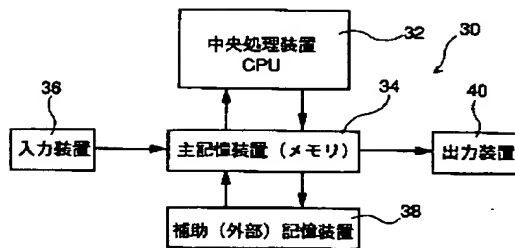
【図18】 従来の原因信号線追跡処理の詳細フローチャートである。

【符号の説明】

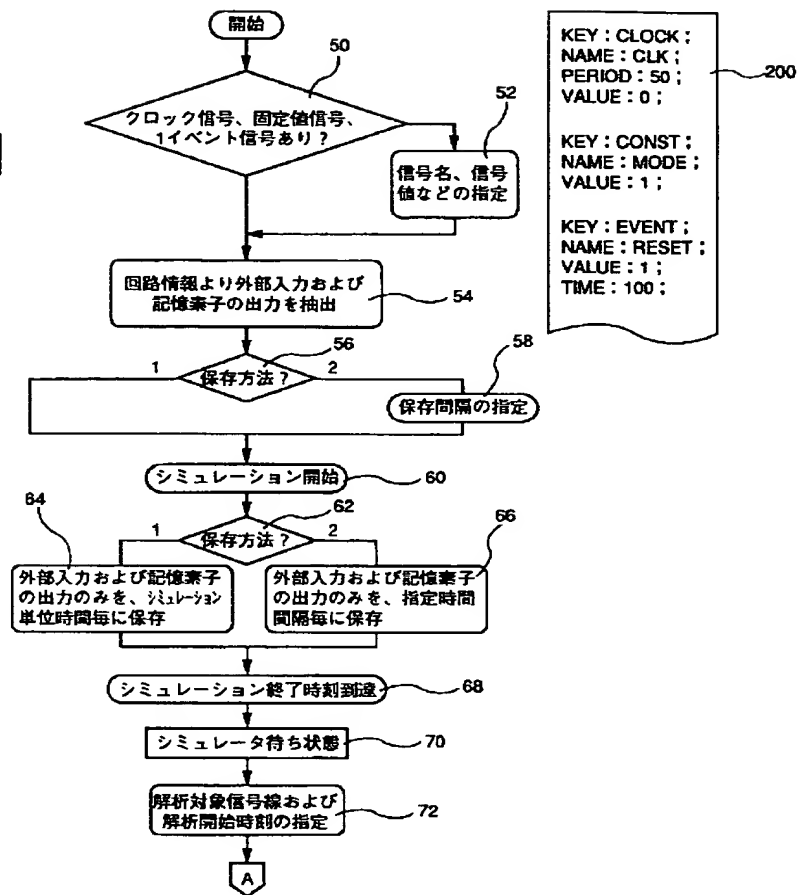
30 論理シミュレーション結果解析装置、32 中央処理装置、34 主記憶装置、36 入力装置、38 補助記憶装置、40 出力装置、110 組合せ回路、112 入力信号線、114 保存ポイント、116

出力信号線、118 記憶素子、142、146 コー

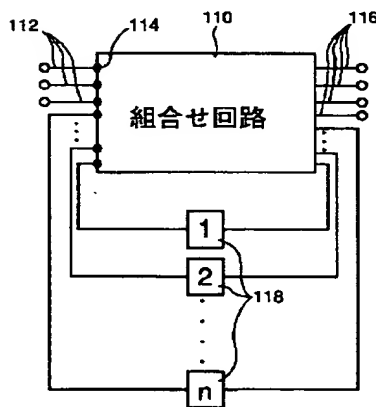
【図1】



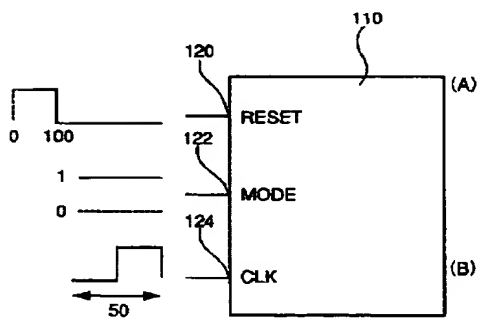
【図2】



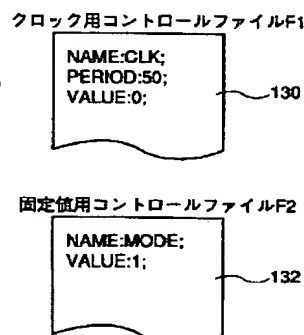
【図4】



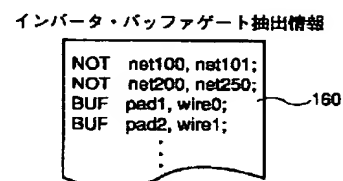
【図5】



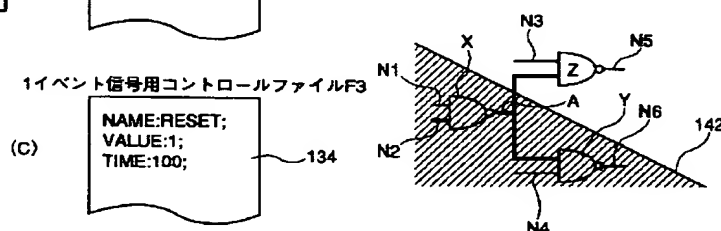
【図6】



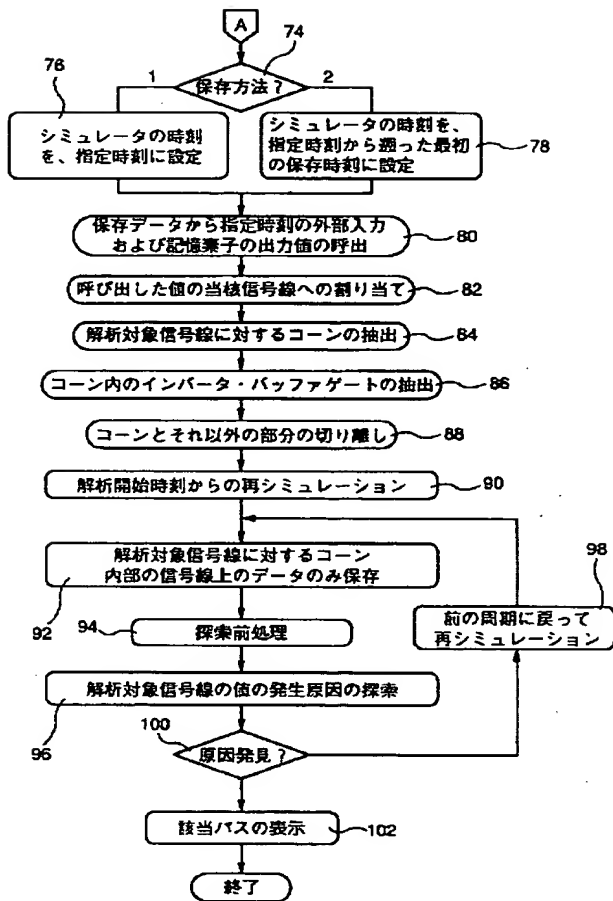
【図9】



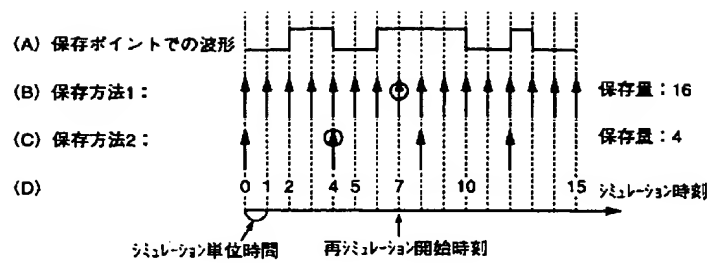
【図10】



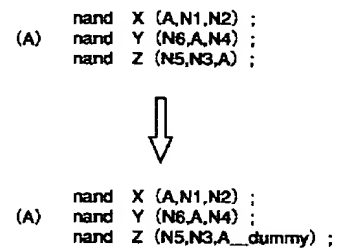
【図3】



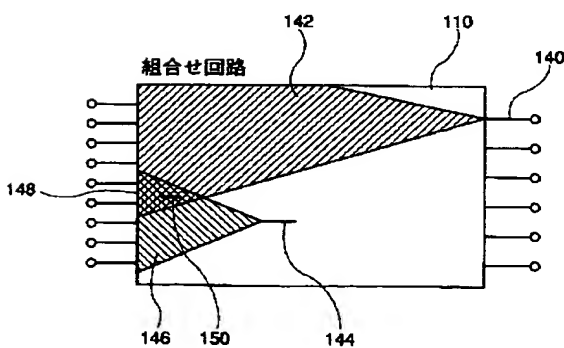
【図7】



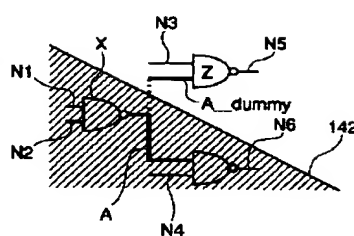
【図12】



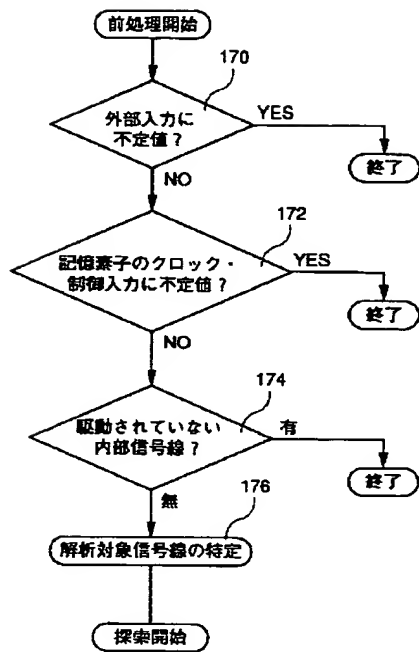
【図8】



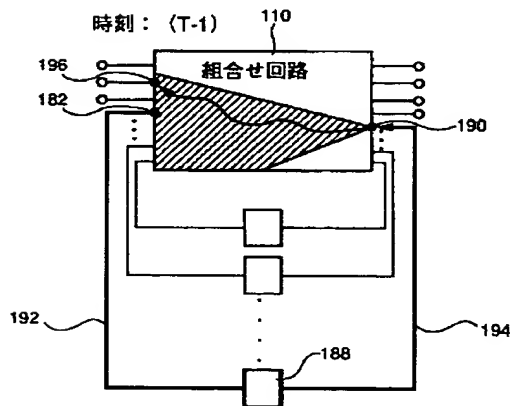
【図11】



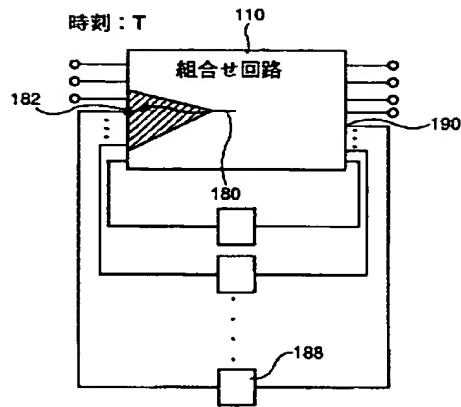
【図13】



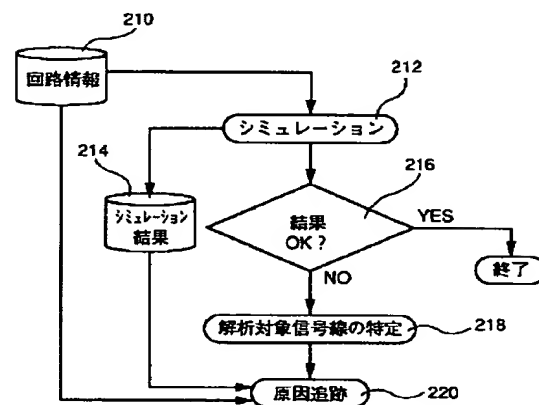
【図15】



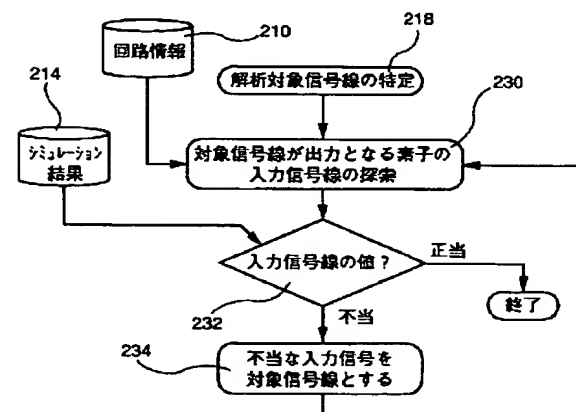
【図14】



【図17】



【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.